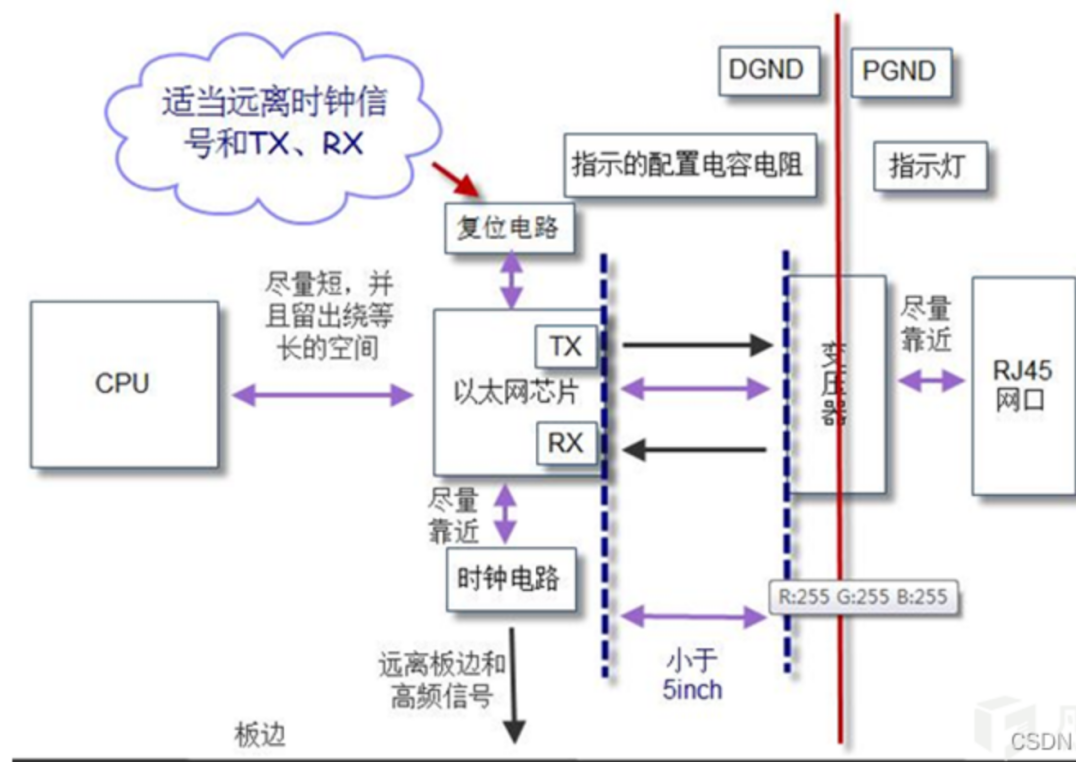
ZYNQ\_Power:MPM3630 反馈脚处理，地pin处理

ZYNQ\_PHY:

布局：



布线：芯片RGMII等长，（XNet，分段等长）组内5mil，同组同层，不同组同层3W间距

clk与其他网络3W间距

以太网差分走线，阻抗100Ω，顶层出线，避免打孔，打孔处增加回流地孔。对内5mil，对间不需要控等长，间距4W以上。

变压器干扰源，底部挖空到丝印即可,焊盘底部保证有铜皮



ZYNQ\_QFLASH:

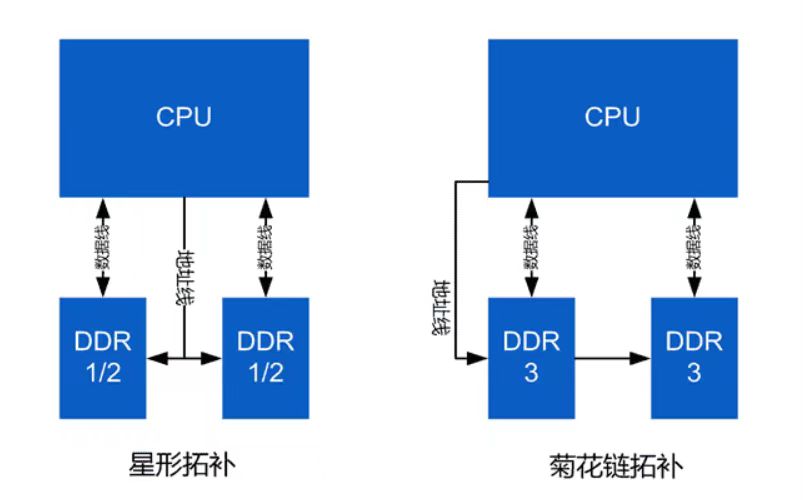
SPI\_D0~D3,CLK等长，组内40mil，单端阻抗50Ω

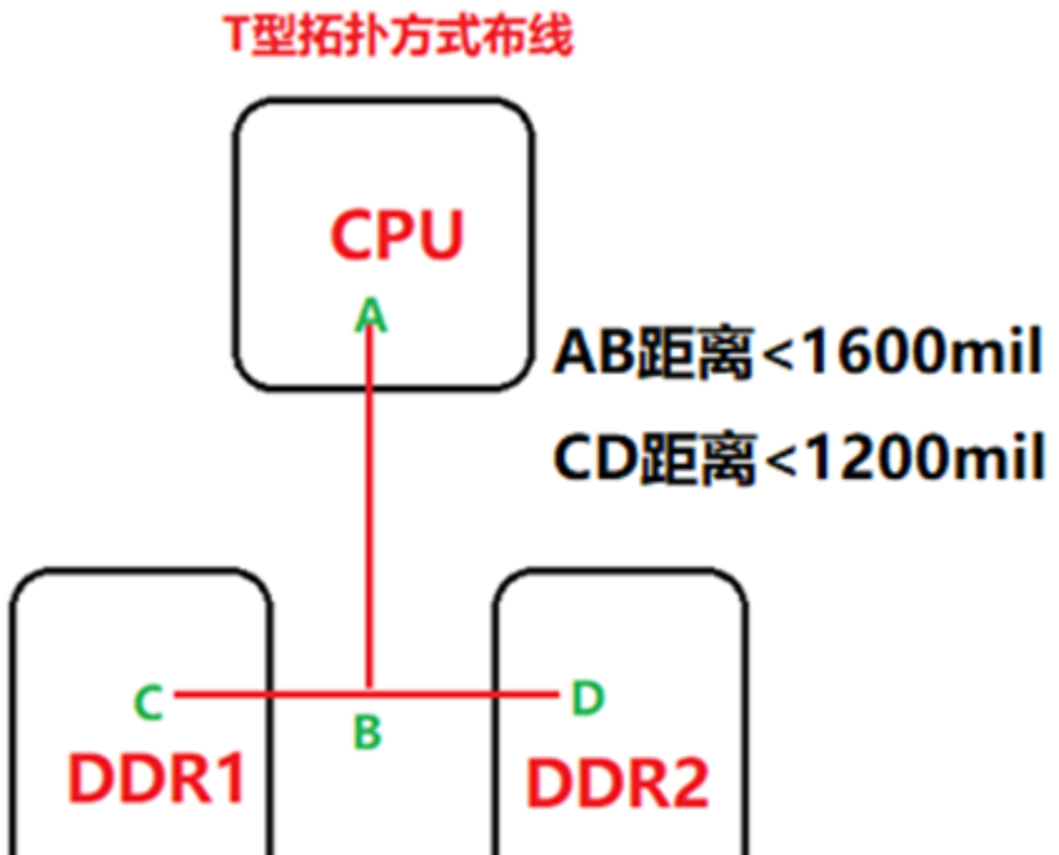
ZYNQ\_EMMC:

区域规则

ZYNQ\_DDR3:

布局：拓扑结构（芯片是否支持读写平衡）





对于DDR3的布局我们首先需要确认芯片是否支持FLY-BY走线拓扑结构，来确定我们是使用T拓扑结构还是FLY-BY拓扑结构.

常规我们DDR3的布局满足以下基本设计要求即可:

1.考虑BGA可维修性:BGA周边器件5MM禁布，最小3MM。

2.DFM 可靠性:按照相关的工艺要求，布局时器件与器件间满足DFM的间距要求;且考虑元件摆放的美观性。

3.绝对等长是否满足要求，相对长度是否容易实现:布局时需要确认长度限制，及时序要求，留有足够的绕等长空间。

4.滤波电容、上拉电阻的位置等:滤波电容靠近各个PIN放置，储能电容均匀放置在芯片周边(在电源平面路径上):上拉电阻按要求放置(布线长度小于500mil)

注意:如有提供DEMO板或是芯片手册，请按照DEMO板或是芯片手册的要求来做。

终端（上拉）电阻要放在最后一个DDR颗粒（末端），且走线长度小于500mil。

1.滤波电容的布局要求

电源设计是PCB设计的核心部分，电源是否稳定，纹波是否达到要求都关系到CPU系统是否能正常工作。滤波电容的布局是电源的重要部分，遵循以下原则: CPU端和DDR3颗粒端，每个引脚对应一个滤波电容，滤波电容尽可能靠近引脚放置。线短而粗，回路尽量短CPU和颗粒周边均匀摆放一些储能电容，DDR3颗粒每片至少有一个储能电容

2.VREF电路布局

在DDR3中，VREF分成两部分

-个是为命令与地址信号服务的VREFCA:另一个是为数据总线服务的VREFDQ.

在布局时，VREFCA、VREFDQ的滤波电容及分压电阳要分别靠近芯片的电源引脚。

3.匹配电阻的布局

为了提高信号质量，地址、控制信号一般要求在源端或终端增加匹配电阻;数据可以通过调节ODT 来实现，所以一般建议不用加电阻。)

布局时要注意电阻的摆放，到电阻端的走线长度对信号质量有影响。

布局原则如下:

对于源端匹配电阻靠近CPU(驱动)放，而对于并联端接则靠近负载端(FLy-BY靠近最后一个DDR3颗粒的位置放置)，注意VTT上拉电阻到DDR3颗粒的走线越短越好;走线长度小于500mi;每个VTT上拉电阻对应放置一个VTT的滤波电容(最多两个电阻共用一个电容):VTT电源一般直接在元件面同层铺铜来完成连接，所以放置滤波电容时需要兼顾两方面，一方面要保证有一定的电源通道，另一方面滤波电容不能离上拉电阻太远，以免影响滤波效果。

布线：

四组，数据线以DQS为基准等长，同组内可以调整线序间距3W。DQS差分与其他单线5W,差分90Ω，对内5mil，对间10mil。需要注意最长走线长度要求。（Intel Romley要求不超过6500mil）

2组，地址线、控制线、时钟线以时钟线为基准等长。时钟差分线与其他单线5W,

差分90Ω阻抗，对内5mil，对间50mil\100mil

vref的电容尽量靠近管脚放，vref走线20mil，远离vtt电源；

vtt的电容尽量靠近端接电阻放，走线铺铜保证过流；

信号相邻层必须有地平面，不允许跨切割；



